

Korean Patent Laid-open No. 1997-0003947 A

Publication date : January 29, 1997

Applicants : Samsung Electronics Co., Ltd

Title : SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURING  
METHOD THEREOF

[Abstract]

A SRAM cell and a manufacturing method thereof are disclosed. A capacitance of a cell storage node is reduced according to reduction of a cell size due to increase in integration degree of a SRAM cell. Accordingly, there occurs a problem about reliability due to increase in SER (Soft Error Rate). In view of the circumstances, the present invention discloses a method for increasing storage node capacitance essential for a highly integrated product. After TFT is first formed on a storage node region of a SRAM cell adopting a bottom gate TFT, film material (SiN) with a high dielectric constant used in an insulating film of a capacitor is formed, an electrically conductive layer applied with voltage is formed on the film material, and a capacitor comprising an electrode constituted of a gate conductive layer of TFT and a TFT channel offset region and an electrode which a conductive layer forms and which is applied with voltage is completed so that storage node capacitance can be increased.

(Snip)

[What is Claimed is]

[Claim 1]

A TFT SRAM device constituting CMOS using PMOS TFT at a load element, comprising a structure where a TFT gate conductive layer (113) of a storage node region of a TFT SRAM cell and an offset region of a TFT channel conductive layer (117) forms one electrode of a capacitor, an inter-layer insulating film (118) is stacked on an upper portion of the capacitor, and a conductive layer (119) constituting the other electrode of the capacitor is stacked on the upper portion of the inter-layer insulating film without the conductive layer coming in contact with a background conductive layer.

## 引用例 3 の写し

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup>	(11) 공개번호	특 1997-0003947
H01L 27/10	(43) 공개일자	1997년 01월 29일

(21) 출원번호	특 1995-0016461
(22) 출원일자	1995년 06월 20일
(71) 출원인	삼성전자 주식회사 김광호
	경기도 수원시 팔달구 매탄동 416번지
(72) 발명자	이찬조
	서울특별시 은평구 녹번동 117-27
(74) 대리인	이영필, 오규환, 노민식

심사청구 : 있음

## (54) 반도체 메모리 장치 및 그 제조 방법

## 요약

에스 램(SRAM) 셀 및 그 제조방법에 개시되어 있다. SRAM 셀의 집적도 증가와 더불어 수반되는 셀 크기의 감소로 인해 셀스토리지 노드의 커패시턴스가 감소하게 된다. 이에 따라 SER(Soft Error Rate)의 증가로 인한 신뢰성 문제가 야기 되게 된다. 따라서 본 발명은 고집적 제품에 필수적인 스토리지 노드 커패시턴스를 증가시킬 수 있는 방법을 개시한다. 먼저, 보텀 게이트 TFT를 채택하고 있는 SRAM 셀의 스토리지 노드영역에 TFT를 형성시킨 후 커패시터의 절연막으로 사용될 고유전율을 갖는 막질(SiN)을 형성시키고 그위에 전압이 인가될 도전층을 형성 시킴으로써 TFT의 게이트 도전층 및 TFT 채널오프셋으로 구성되는 전극과 전압이 인가될 도전층이 형성하는 전극으로 구성되는 커패시터를 완성하여 스토리지 노드 커패시턴스를 증가시킬 수 있게 된다.

따라서, 본 발명을 통해 고집적 SRAM에서 셀 크기의 감소와 더불어 발생하는 노드 커패시턴스 감소 문제를 해결하고 SER개선에 기여할 수 있게 된다.

## 대표도

## 도 4

## 명세서

## [발명의 명칭]

반도체 메모리 장치 및 그 제조 방법

## [도면의 간단한 설명]

제2A도 내지 제2B도는 본 발명에 의해 SRAM 셀을 제조시, 노드(node)의 커패시턴스(capacitance)가 증감된 SRAM 셀의 등가 회로도, 제3A도 내지 제3G도는 본 발명의 일 실시예에 의한 SRAM 셀의 제조방법을 단계적으로 도시한 레이아웃(layout)도, 제4도는 본 발명의 의해 제작된 SRAM 셀의 수직 단면도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

## (57) 청구의 범위

## 청구항 1

부하소자로 PMOS TFT를 사용하여 CMOS를 구성하는 TFT SRAM장치에 있어서, TFT SRAM 셀의 스토리지 노드(storage node) 영역의 TFT 게이트 도전층(113) 및 TFT 채널 도전층(117)의 오프셋(offset)영역이 커패시터의 한쪽 전극을 구성하고, 그 상부에 층간 절연막(118)이 적층되어 있으며 그 상부에 하지 도전층과의 접촉없이 커패시터의 다른 한쪽전극을 구성하는 도전층(119)이 적층된 구조를 구비하는 것을 특징으로 하는 TFT SRAM 장치.

## 청구항 2

제1항에 있어서, 상기 도전층(119)에 접지 포텐셜로부터 Vcc포텐셜까지의 전압을 가할 수 있는 구조를 특징으로 하는 TFT SRAM 장치.

## 청구항 3

제1항에 있어서, 상기 도전층(119)이 TFT 게이트 도전층이나 TFT 채널 및 Vcc 전원선(power line)보다 위쪽에 위치하는 것을 특징으로 하는 TFT SRAM 장치.

#### 청구항 4

제1항에 있어서, 상기 TFT가 보텀 게이트 트랜지스터임을 특징으로 하는 TFT SRAM 장치.

#### 청구항 5

제1항에 있어서, 상기 층간 절연막(118)이 고유전율을 갖는 물질임을 특징으로 하는 TFT SRAM 장치.

#### 청구항 6

제5항에 있어서, 상기 고유전율을 갖는 물질이 산화물 및 실리콘 질화막(SiN)중 어느 하나인 것을 특징으로 하는 TFT SRAM 장치.

#### 청구항 7

제1항에 있어서, 상기 층간 절연막(118)의 두께가 200 Å 미만임을 특징으로 하는 TFT SRAM 장치.

#### 청구항 8

제1항에 있어서, 상기 도전층(119)이 폴리 실리콘 및 아몰퍼스(amorphos) 폴리 실리콘중 어느 하나로 형성됨을 특징으로 하는 TFT SRAM 장치.

#### 청구항 9

제1항에 있어서, 커패시터를 형성하는 도전층(119)이 오버랩(overlap)하는 부위가 TFT의 채널이 형성되는 부위를 제외하고 TFT의 게이트와 TFT 채널 오프셋(offset) 영역 및 셀 스토리지 노드의 P+/N+ 다이오드가 형성되는 콘택부위를 모두 포함하는 것을 특징으로 하는 TFT SRAM 장치.

#### 청구항 10

제1항에 있어서, 상기 도전층(119)이 Vcc 전원선과 오버랩(overlap)되지 않으며 같은 방향으로 달리는 것을 특징으로 하는 TFT SRAM 장치.

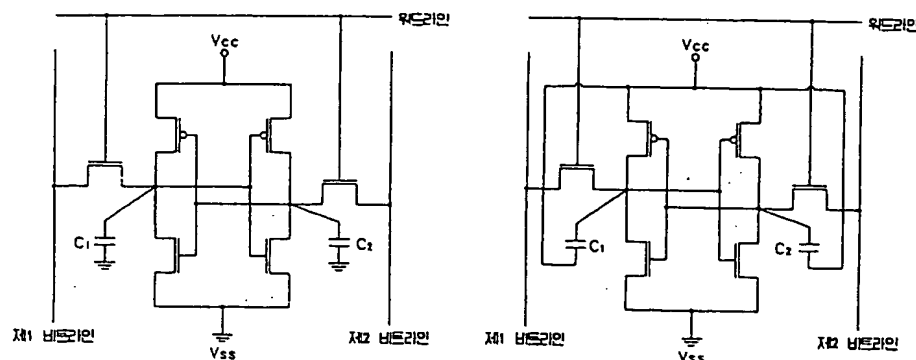
#### 청구항 11

반도체 기판상에 활성 영역과 비 활성영역을 정의하는 단계; 상기 활성 영역에 제1도전층으로서 SRAM 셀의 구동 트랜지스터(pull down transistor) 및 전송 트랜지스터(pass transistor)를 형성하는 단계; SRAM 셀의 접지선(Vss line) 및 워드 라인(Word line)을 구성하는 제2도전층을 형성하는 단계; 보텀 게이트 TFT에서의 TFT의 게이트를 구성하는 제3도전층을 형성하는 단계; 상기 TFT의 게이트위에 TFT의 채널 및 Vcc 전원선(power line)을 구성하는 제4도전층을 형성하는 단계; 상기 TFT 채널 형성 후 TFT 채널 위에 산화공정을 거쳐 커패시터의 층간 절연막으로 실리콘 질화막(SiN) 같은 고유전율을 갖는 절연막을 60 Å의 두께로 증착하는 단계; 및 이와같이 형성된 SRAM 셀의 스토리지 노드 커패시턴스를 증가시키기 위해 셀의 노드부위(TFT 오프셋 영역 포함)를 오버랩(overlap)하는 제5 도전층을 형성하는 단계; 즉, 커패시터의 다른 한쪽 전극으로 사용될 제5 도전층을 폴리실리콘 및 아몰퍼스 실리콘중 어느 하나로 1000 Å 두께로 증착한 후 패터닝 하는 단계를 구비하는 것을 특징으로 하는 TFT SRAM 제조 방법.

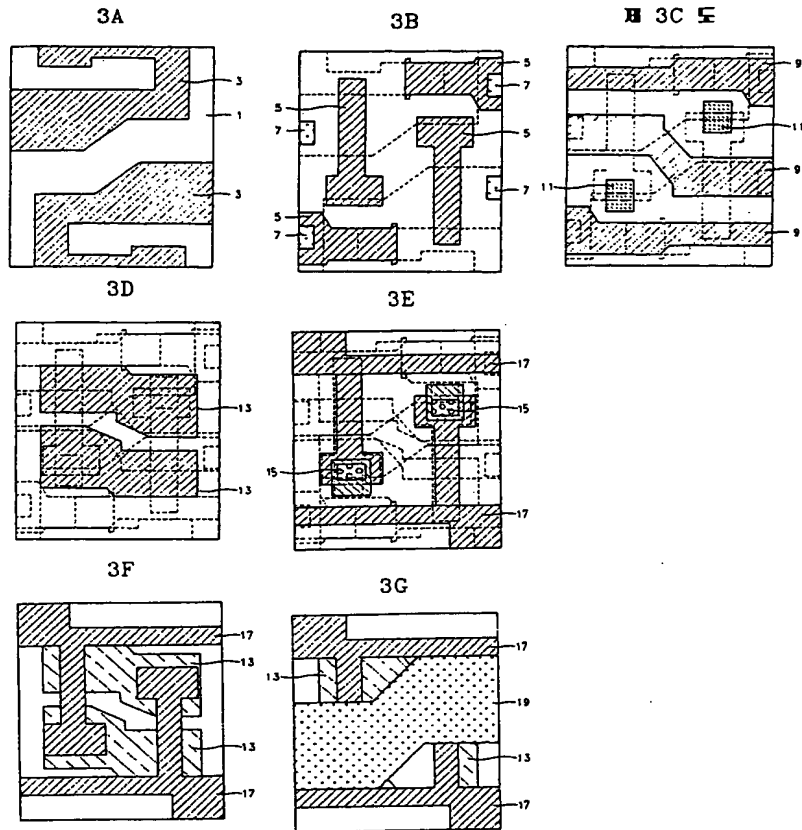
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면2



도면3



도면4

